

## HIGH-FREQUENCY SEMICONDUCTOR DEVICE

Patent Number: JP2001148457  
Publication date: 2001-05-29  
Inventor(s): KANAZAWA KUNIHIKO  
Applicant(s): MATSUSHITA ELECTRONICS INDUSTRY CORP  
Requested Patent:  [JP2001148457](#)  
Application Number: JP19990332096 19991122  
Priority Number(s):  
IPC Classification: H01L25/065; H01L25/07; H01L25/18; H01L21/60  
EC Classification:  
Equivalents:

---

### Abstract

---

**PROBLEM TO BE SOLVED:** To provide a high-frequency semiconductor device which can keep high-frequency characteristics and mounted with various semiconductor elements, which are laminated in a very small area.

**SOLUTION:** A back electrode 7 is provided on a semiconductor chip 1, and a wiring 12 of a circuit integrated part 1 provided on a front surface is connected electrically to the back electrode 7 via a metal layer 6 provided inside a via hole 5. The semiconductor chip 1 is mounted, making its circuit integrated part 11 face upward (opposite to a multilayered board 20), and the back electrode 7 and a metal wiring 9 provided to the multilayered board 20 are connected together electrically.

---

Data supplied from the [esp@cenet](mailto:esp@cenet) database - I2

(19) 日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11) 特許出願公開番号  
特開2001-148457  
(P2001-148457A)

(43) 公開日 平成13年5月29日 (2001.5.29)

(51) Int.Cl.<sup>7</sup>  
H 01 L 25/065  
25/07  
25/18  
21/60

識別記号

3 1 1

F I  
H 01 L 21/60  
25/08

テ-マコ-ト(参考)  
3 1 1 Q 5 F 0 4 4  
Z

審査請求 未請求 請求項の数9 OL (全7頁)

(21) 出願番号 特願平11-332096  
(22) 出願日 平成11年11月22日 (1999.11.22)

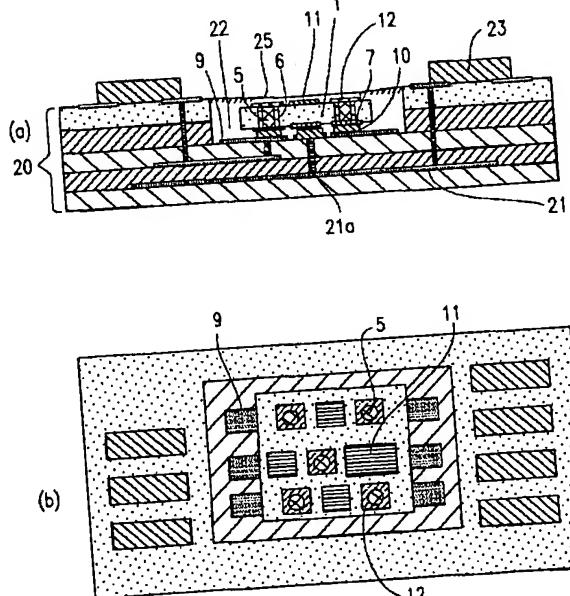
(71) 出願人 000005843  
松下電子工業株式会社  
大阪府高槻市幸町1番1号  
(72) 発明者 金澤 邦彦  
大阪府高槻市幸町1番1号 松下電子工業  
株式会社内  
(74) 代理人 100078282  
弁理士 山本 秀策  
F ターム(参考) 5F044 KK04 KK07 QQ07 RR03 RR08

(54) 【発明の名称】 高周波用半導体装置

(57) 【要約】

【課題】 高周波特性を維持することができ、種々の半導体素子を非常に小さい面積で重ねて実装することができる高周波用半導体装置を提供する。

【解決手段】 半導体チップ1に裏面電極7を設けて、表面側に設けた回路集積部11の配線12と裏面電極7とを、ピアホール5内に設けた金属層6を介して電気的に接続する。この半導体チップ1を、その回路集積部11側の面を多層基板20とは反対側にして実装し、裏面1側の面を多層基板20の金属配線9とを電気的に接続する。



【特許請求の範囲】

【請求項1】 半導体チップの表面に複数設けられた半導体素子の配線電極または半導体集積回路の配線電極と、該半導体チップの裏面に設けられ、互いに電気的に接続されていない複数の金属電極とが、1つの表面側の配線電極に対して1つの裏面側の金属電極が対応して、それぞれ独立して半導体チップを貫通する貫通穴に形成された金属層により電気的に接続され、該半導体チップの裏面側の金属電極が、誘電体基板上もしくは半導体基板上に設けられた金属配線、または金属リードと電気的に接続されていることを特徴とする高周波用半導体装置。

【請求項2】 前記誘電体基板上もしくは半導体基板上の金属配線が、該誘電体基板上もしくは半導体基板上に設けられた絶縁層より凸であることを特徴とする請求項1に記載の高周波用半導体装置。

【請求項3】 前記半導体チップの裏面側の金属電極と、前記誘電体基板上もしくは半導体基板上の金属配線とが、金属により電気的に接続され、該半導体チップと、該誘電体基板もしくは半導体基板との間隙が樹脂で埋められていることを特徴とする請求項1または請求項2に記載の高周波用半導体装置。

【請求項4】 前記半導体チップ上に、その表面側の配線電極および裏面側の金属電極が貫通穴に形成された金属層により電気的に接続された別の半導体チップが配置され、下側の半導体チップの表面側の配線電極と、上側の半導体チップの裏面側の金属電極とが電気的に接続され、下側の半導体チップの裏面側の金属電極と、前記誘電体基板上もしくは半導体基板上に設けられた金属配線、または金属リードとが電気的に接続されていることを特徴とする請求項1乃至請求項3のいずれかに記載の高周波用半導体装置。

【請求項5】 前記半導体チップ上に、その表面側の配線電極および裏面側の金属電極が貫通穴に形成された金属層により電気的に接続された別の半導体チップの複数が縦積みされ、下側の半導体チップの表面側の配線電極と、上側の半導体チップの裏面側の金属電極とが電気的に接続され、最も下側の半導体チップの裏面側の金属電極と、前記誘電体基板上もしくは半導体基板上に設けられた金属配線、または金属リードとが電気的に接続されていることを特徴とする請求項1乃至請求項3のいずれかに記載の高周波用半導体装置。

【請求項6】 前記半導体基板もしくは誘電体基板が、セラミック多層基板、樹脂多層基板または多層配線半導体基板からなる請求項1乃至請求項5のいずれかに記載の高周波用半導体装置。

【請求項7】 前記セラミック多層基板、樹脂多層基板または多層配線半導体基板がキャビティ構造を有し、該キャビティ構造内に前記半導体チップが配置されていることを特徴とする請求項6に記載の高周波用半導体装置。

装置。

【請求項8】 さらに、前記半導体チップの表面側の配線電極と、前記セラミック多層基板、樹脂多層基板または多層配線半導体基板の配線とが、ワイヤーを用いて電気的に接続されていることを特徴とする請求項6または請求項7に記載の高周波用半導体装置。

【請求項9】 前記セラミック多層基板、樹脂多層基板または多層配線半導体基板上に、セラミックまたは半導体からなる容量、インダクタまたは抵抗が実装されていることを特徴とする請求項6乃至請求項8のいずれかに記載の高周波用半導体装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、高周波用半導体装置に関し、特に、高周波回路を設けた半導体チップと回路基板とを電気的に接続するマルチチップ半導体実装に適した構造の高周波半導体装置に関する。

【0002】

【従来の技術】従来、半導体チップを回路基板へ実装した後の半導体チップと回路基板との電気的接続は、一般に、ワイヤー接続またはバンプ接続により行われていた。

【0003】図5は、ワイヤー接続を用いた第一の従来の高周波用半導体装置の概略構成を示す断面図である。この図5において、1は半導体チップ、2はワイヤー、3は誘電体または半導体からなる回路基板、11は半導体チップ1の表面に設けられた高周波増幅回路からなる回路集積部、12は半導体チップ1の表面に設けられた金属配線（または電極）、13は回路基板3上に設けられた金属配線である。回路基板3が誘電体からなる場合、回路基板3にはロジック系回路部品などの回路部品が実装されている。また、この回路基板3が半導体からなる場合、それらの回路部品が半導体基板上に同様にして実装されるか、またはそれらの部品の一部もしくは全部が半導体製造法により半導体基板内に作り込まれる。半導体チップ1は、このような回路部品を搭載した回路基板3上に、回路集積部11を設けた面と反対側の面を回路基板3側に向けて実装され、半導体チップ1上の金属配線12と回路基板3上の金属配線13とがワイヤー2により電気的に接続される。

【0004】図6は、バンプ接続を用いた第二の従来の高周波半導体装置の概略構成を示す断面図である。ここでは、半導体チップ1の表面に設けられた回路集積部11が回路基板3側に面するように、半導体チップ1が回路基板3に実装され、半導体チップ1上の金属配線12と回路基板3上の金属配線13とがバンプ電極4により電気的に接続される。この構造では、半導体チップ1において回路集積部11を設けた面と反対側の面には、回路集積部11と電気的に接続された配線（電極）は形成されていない。

【0005】

【発明が解決しようとする課題】上述のような高周波用半導体装置の電気的接続においては、インダクタンスの周波数特性を小さくすることが重要である。

【0006】しかしながら、図5に示した第一の従来の高周波用半導体装置では、ワイヤーのインダクタンス成分が高周波特性を悪化させるという欠点があり、特に、それによって利得の低下を招くという問題があった。

【0007】また、図6に示した第二の従来の高周波用半導体装置では、半導体チップ上の素子面が、半導体チップが実装される誘電体基板や半導体基板に近いために、帰還容量が大きくなつて高周波での利得低下を招くという問題があった。

【0008】また、ワイヤ接続技術を用いた場合には、それぞれの半導体素子を重ねて電気接続すると、ワイヤー接続用パッド電極をチップ周辺に多く設ける必要があり、チップ面積が非常に大きくなるという問題があつた。

【0009】さらに、従来の構成では、セラミック製の容量や抵抗、インダクタ等を加えて実装することができなかつたので、高周波特性の改善や電源ICの特性改善が困難であった。

【0010】本発明は、このような従来技術の課題を解決するためになされたものであり、高周波特性を維持することができ、しかも種々の半導体素子を非常に小さい面積で重ねて実装することができる高周波用半導体装置を提供することを目的とする。

【0011】

【課題を解決するための手段】上記課題を達成するため、本発明の高周波用半導体装置は、半導体チップの表面に複数設けられた半導体素子の配線電極または半導体集積回路の配線電極と、該半導体チップの裏面に設けられ、互いに電気的に接続されていない複数の金属電極とが、1つの表面側の配線電極に対して1つの裏面側の金属電極が対応して、それぞれ独立して半導体チップを貫通する貫通穴に形成された金属層により電気的に接続され、該半導体チップの裏面の金属電極が、誘電体基板もしくは半導体基板上に設けられた金属配線、または金属製リードと電気的に接続されていることを特徴とする。

【0012】前記誘電体基板もしくは半導体基板上の金属配線が、該誘電体基板もしくは半導体基板上に設けられた絶縁層より凸であつてもよい。

【0013】前記半導体チップの裏面側の金属電極と、前記誘電体基板もしくは半導体基板上の金属配線とが、金属により電気的に接続され、該半導体チップと、該誘電体基板もしくは半導体基板との間隙が樹脂で埋められていてもよい。

【0014】前記半導体チップ上に、その表面側の配線電極および裏面側の金属電極が貫通穴に形成された金属

層により電気的に接続された別の半導体チップが配置され、下側の半導体チップの表面側の配線電極と、上側の半導体チップの裏面側の金属電極とが電気的に接続され、下側の半導体チップの裏面側の金属電極と、前記誘電体基板もしくは半導体基板上に設けられた金属配線、または金属製リードとが電気的に接続されていてもよい。

【0015】前記半導体チップ上に、その表面側の配線電極および裏面側の金属電極が貫通穴に形成された金属層により電気的に接続された別の半導体チップの複数が縦積みされ、下側の半導体チップの表面側の配線電極と、上側の半導体チップの裏面側の金属電極とが電気的に接続され、最も下側の半導体チップの裏面側の金属電極と、前記誘電体基板もしくは半導体基板上に設けられた金属配線、または金属製リードとが電気的に接続されていてもよい。

【0016】前記半導体基板もしくは誘電体基板が、セラミック多層基板、樹脂多層基板または多層配線半導体基板からなつてもよい。

【0017】前記セラミック多層基板、樹脂多層基板または多層配線半導体基板がキャビティ構造を有し、該キャビティ構造内に前記半導体チップが配置されていてもよい。

【0018】前記半導体チップの表面側の配線電極と、前記セラミック多層基板、樹脂多層基板または多層配線半導体基板の配線とが、ワイヤーを用いて電気的に接続されていてもよい。

【0019】前記セラミック多層基板、樹脂多層基板または多層配線半導体基板上に、セラミックまたは半導体からなる容量、インダクタまたは抵抗が実装されていてもよい。

【0020】以下、本発明の作用について説明する。

【0021】本発明にあつては、半導体チップの裏面側に金属電極を設けて、半導体チップを貫通する穴に形成された金属層により表面側の配線や電極と裏面側の金属電極を電気的に接続し、この裏面側の金属電極と半導体基板や誘電体基板等からなる回路基板上の金属配線とを電気的に接続している。よつて、インダクタンス成分を非常に小さくすることができ、従来に比べて高周波での利得が2倍程度向上する。また、ワイヤ接続方法と異なり、半導体チップ面積を小型化することが可能である。また、半導体チップのどの部分からでも半導体チップ裏面側の金属配線と電気的に接続でき、集積回路内の配線の引き回しを短くすることができるので、高周波特性や高速動作能力を大幅に改善することができる。また、非常に小さい実装面積の装置を実現することができる。また、バンブ技術のように半導体チップの素子面のすぐ近くに回路基板の誘電体や金属配線が配置されないので、帰還容量を形成して高周波特性が低下するということもない。

【0022】また、誘電体基板や半導体基板等からなる回路基板上の金属配線を、回路基板上に設けられた絶縁層より凸に形成して、絶縁層の面よりも金属配線の上面が突き出ているようにすることにより、半導体チップの裏面側の電極との電気接続が容易になる。

【0023】上記半導体チップの裏面側の金属電極と、回路基板上の金属配線とを、金属により電気的に接続し、半導体チップと回路基板との間隙を樹脂で埋めることにより、信頼性が向上する。

【0024】高周波用ガリウム砒素素子とロジック系のシリコン素子等、電気的接続のために別のプロセスを必要とするマルチチップ半導体実装においては、半導体チップ上に、表面側の配線や電極と裏面側の金属電極が貫通穴に形成された金属層により電気的に接続された別の半導体チップをさらに実装し、下側の半導体チップの表面側の配線や電極と上側の半導体チップの裏面側の金属電極とを電気的に接続することにより、約半分の非常に小さい面積により、半導体チップを重ねて実装可能となる。さらに、複数の半導体チップを縦積み実装して実装面積を小さくすることが可能である。

【0025】上記半導体基板もしくは誘電体基板として、セラミック多層基板、樹脂多層基板または多層配線半導体基板等の多層基板を用いることにより、基板の端から遠い、中ほどにある配線電極から、その配線電極まで達する穴を通して直に信号を取り出すことが可能である。本発明は単層の基板にも適用可能であるが、配線が重なるため、基板側や半導体チップ側で最適配線が困難であり、面積が大きくなってしまうので、多層基板とすることが好ましい。

【0026】さらに、このセラミック多層基板、樹脂多層基板または多層配線半導体基板にキャビティ構造を設けて、そのキャビティ構造内に半導体チップを配置することにより、ハンダマスクをかけることができる。よって、基板表面に容量やインダクタ、抵抗等をはんだ実装して大きな容量を実現し、高周波特性の向上や電源回路の簡素化等を図ることが可能となる。

【0027】さらに、セラミック多層基板、樹脂多層基板または多層配線半導体基板等の多層基板上に複数の半導体チップを重ねて実装する場合、上側の半導体チップの表面側の配線電極と多層基板の金属配線とを直接電気的に接続する必要が生じることもある。このような場合、ワイヤーを用いてジャンパー接続することにより、半導体チップに接続用の穴を別途形成することなく、非常に小さい面積で実装することが可能である。

【0028】

【発明の実施の形態】以下、本発明の実施の形態について、図面を参照しながら説明する。

【0029】(実施の形態1) 図1(a)は実施の形態1の高周波用半導体装置の構造を示す断面図であり、(b)はその平面図である。この高周波用半導体装置

は、ガリウム砒素基板またはシリコン基板からなる半導体チップ1の表面に、高周波增幅回路からなる回路集積部11が設けられている。半導体チップ1にはそれを貫通する穴であるビアホール5が形成され、そのビアホール5内には金属層6が形成されている。この金属層6は、ビアホール内に充填されていてもよく、ビアホール5の内壁面だけに形成してもよい。さらに、半導体チップ1の表面には、回路集積部11の配線となる金属配線12が設けられている。この金属配線12は、半導体チップ1の裏面に設けられた金属からなる裏面電極7とビアホール5内に形成された金属層6を介して電気的に接続されている。

【0030】この半導体チップ1は、セラミック多層基板20の中央部に設けられた凹部22内に、半導体チップ1の裏面をセラミック多層基板20側に配して搭載されている。そして、セラミック多層基板20上に設けられた金属配線9は、接続金属10により半導体チップ1の裏面電極7と電気的に接続されている。

【0031】セラミック多層基板20には金属からなるセラミック内層配線21が設けられ、この内層配線21は、セラミック多層基板20の凹部22の外周部に搭載した容量、抵抗またはインダクタ等の電子部品23と電気的に接続している。セラミック多層基板20の凹部22はキャビティ構造であり、半導体チップ1を保護してハンダマスクをかけられるようにする封止樹脂25が凹部22の開口部にかかっている。このため、容量、抵抗またはインダクタ等の電子部品23をセラミック多層基板20の凹部の外周部に実装して、非常に大きな容量やQ値の高いインダクタを実現することができる。

【0032】半導体チップ1の回路集積部11としては、高周波用増幅器としてのガリウム砒素電界効果トランジスタまたはバイポーラトランジスタ等を用いることができる。ビアホール5内の金属層6としては、金、銅またはアルミニウムを用いることにより低抵抗を実現することができる。半導体チップ1の裏面電極7と表面側の金属配線(または電極)12との接続は、金で行うか錫を含むハンダで行うことができる。

【0033】この構成によれば、半導体チップ1の表面に設けた高周波增幅回路からなる回路集積部11が、セラミック多層基板20側とは反対の面に配置されているので、回路集積部11とセラミック多層基板20との間で帰還容量を形成することができない。よって、帰還容量の増大を防止することができ、高周波での利得低下を起こすのを防ぐことができる。また、半導体チップ1を貫通するビアホール5に形成された金属層6により電気的に接続しているので、非常にインダクタンス成分を小さくすることができ、高周波での利得を2倍程度向上することができる。また、ワイヤー技術を用いて電気的接続を行っていないので、非常に小さい半導体実装面積を実現することができる。さらに、容量、抵抗またはインダク

タ等の電子部品23を実装することができるので、非常に大きな容量やQ値の高いインダクタを実現でき、高周波特性や電源としての特性を非常に向上することができる。

【0034】なお、回路基板としては、セラミック多層基板20のかわりに、樹脂多層基板や多層配線半導体基板等の多層基板を用いることもできる。このような多層基板を用いた場合、内層配線21に達する穴21aを通して内層配線21から直に信号を取り出すことができる。本発明は、単層の基板についても適用可能であるが、多層基板の方が基板側や半導体チップ側で最適配線が容易であり、面積も縮小することができる。

【0035】また、回路基板上の金属配線9のかわりに、従来の樹脂リードパッケージにおける金属リードを用いることもできる。

【0036】さらに、半導体チップの接続強度向上のために、半導体チップの裏面電極が裏面側の誘電体または半導体基板上の金属配線間、あるいは金属製リード間を金属で接続し、半導体チップと裏面側の誘電体または半導体との間隙を樹脂で埋めると信頼性を向上することができる。これは、衝撃力や、温度変化に対して熱膨張率の違いから生じる応力が、接続金属部分に集中するのを防ぐことができるからである。

【0037】さらに、図2に示すように、回路基板上の金属配線の上面を、その回路基板上に設けた絶縁層の面よりも突出させるようにすれば、半導体チップの裏面電極をその金属配線と適切に接続させることができ、不所望な箇所での電気接続を避けることができる。この場合、金属配線の上面が絶縁層の面よりも上に突出していれば、図2(a)に示すように、金属配線を絶縁層の上面に形成してもよく、図2(b)に示すように、金属配線が絶縁層から一部露出していてもよい。

【0038】(実施の形態2) 本実施の形態2では、半導体チップ上に、さらに別の半導体チップを実装した構成について説明する。

【0039】図3は、実施の形態2の高周波用半導体装置の概略構成を示す断面図である。この高周波用半導体装置において、第1の半導体チップ1は、シリコン素子からなるロジック系等の回路素子であり、その上に重ねて搭載した第2の半導体チップ14は、ガリウム砒素素子からなる高周波增幅回路素子である。

【0040】第1の半導体チップ1の表面にはロジック系等の回路からなる回路集積部11が設けられ、第2の半導体チップ14の表面には高周波增幅回路からなる回路集積部11が設けられている。第1の半導体チップ1と第2の半導体チップ14内にはそれらをそれぞれ貫通するビアホール5が設けられ、そのビアホール5内には金属層6が形成されている。そして、第1の半導体チップ1と第2の半導体チップ14のそれぞれの表面には回路集積部11の配線となる金属配線12が設けられてい

る。これらの金属配線12は、第1の半導体チップ1と第2の半導体チップ14のそれぞれの裏面に設けられた金属からなる裏面電極7と、ビアホール5内に形成された金属層6を介して電気的に接続されている。

【0041】第1の半導体チップ1は、セラミック多層基板20の中央部に設けられた凹部22内に、半導体チップ1の裏面をセラミック多層基板20側に配して搭載されている。また、第2の半導体チップ14は、第1の半導体チップ1上に第2の半導体チップ14の裏面を第1の半導体チップ1側に配して搭載されている。そして、第1の半導体チップ1が実装されているセラミック多層基板20の凹部22部分の表面上には金属配線9が設けられている。この金属配線9と第1の半導体チップ1の裏面電極7との電気的接続、および第1の半導体チップ1の表面側の金属配線12と第2の半導体チップ14の裏面電極7との電気的接続は、接続金属10により行われている。

【0042】この構成によれば、セラミック多層基板20の凹部22内に、ロジック系等の回路素子からなる半導体チップ1が搭載され、その半導体チップ1上に、高周波增幅回路素子からなる第2の半導体チップ14がその回路集積部11を上面にして搭載されているので、半導体チップ14表面の高周波增幅回路からなる回路集積部11は、近傍に半導体基板や誘電体であるセラミック多層基板が存在しない。よって、帰還容量の増大を防止することができ、高周波での利得低下を起こすのを防ぐことができる。また、半導体チップ1上に別の半導体チップ14をさらに実装して、別の半導体チップ14に形成されたビアホール5内にある金属層6を用いて下の半導体チップ1に電気的に接続しているので、非常に小さい面積で複数の半導体チップを重ねて実装することができる。ワイヤー技術でマルチチップを縦積みした場合に比べて約半分の実装面積にすることができる。また、上側の半導体チップ14として高周波用ガリウム砒素素子を用い、下側の半導体チップ1としてロジック系のシリコン素子等として用いたマルチチップ構造にすることによって、非常に小さい実装面積で、最高の高周波特性と多機能を得ることができる。さらに、キャビティ構造22の中に半導体チップを実装するため、ハンダマスクをかけることが容易で、容量、抵抗またはインダクタ等の電子部品23を実装することができ、非常に大きな容量やQ値の高いインダクタを実現することができる。

【0043】本技術によれば、ロジックマイコン半導体チップ上にメモリーチップを実装可能であり、メモリーチップを縦積みすることにより、大きなメモリー容量を小さい面積で実現することできる。さらに、電源用ICや高周波半導体素子等、異なるプロセスを必要とする半導体チップも同時に縦積み実装することが可能であり、容量、抵抗またはインダクタ等も実装可能である。よって、あらゆる分野の電子機器を、非常に小さい面積で実

装することが可能な画期的な技術である。

【0044】(実施の形態3) 図4は、実施の形態3の高周波用半導体装置の概略構成を示す断面図である。

【0045】この高周波用半導体装置は、実施の形態2と同様に、半導体チップ1上に別の半導体チップ14が重ねて実装されている。各半導体チップ1、14は、各々表面側の金属配線12と裏面電極7との電気的接続、および第1の半導体チップ1の裏面電極7との電気的接続は、接続金属10により行われている。さらに、この高周波用半導体装置では、セラミック多層基板20内の凹部22に実装され、セラミック多層基板20の金属配線9と第1の半導体チップ1の裏面電極7との電気的接続、および第1の半導体チップ1の表面側の金属配線12と第2の半導体チップ14の裏面電極7との電気的接続は、接続金属10により行われている。

【0046】この構成によれば、多層基板20と半導体チップ14を直接接続する必要がある場合であっても、ワイヤー24でジャンパー接続することにより、半導体チップ1に接続用の穴を別途形成する必要がない。よって、非常に小さい面積で複数の半導体チップを重ねて実装することができる。

【0047】なお、この場合のワイヤー24は、インダクタとして設計する。すなわち、ワイヤーを回路の一部として使用しても良いところにのみ用い、従来のようにインダクタ成分に影響を与えないようにする。

【0048】

【発明の効果】以上詳述したように、本発明によれば、従来の半導体実装方法では得ることのできなかった高周波特性の利得や、従来には無かった超小型の実装面積を実現することができ、さらに、多機能性を有する高周波用半導体装置を得ることができる。

【0049】また、本発明によれば、ロジックマイコン半導体上にメモリーチップを実装することも可能であり、メモリーチップを縦積みすることにより、大きなメモリー容量を小さい面積で実現することができる。さら

に、電源用ICや高周波半導体等素子、異なるプロセスの半導体チップも同時に縦積みで実装することができるため、あらゆる分野の電子機器を非常に小さい面積で実装することが可能な高周波用半導体装置を実現することができる。

#### 【図面の簡単な説明】

【図1】(a)は実施の形態1の高周波用半導体装置の概略構成を示す断面図であり、(b)はその平面図である。

【図2】(a)および(b)は、実施の形態における回路基板上の金属配線の他の配置例を示す断面図である。

【図3】実施の形態2の高周波用半導体装置の概略構成を示す断面図である。

【図4】実施の形態3の高周波用半導体装置の概略構成を示す断面図である。

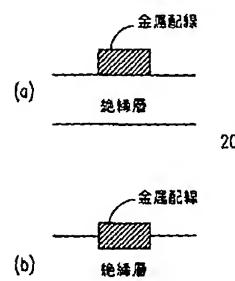
【図5】従来の高周波用半導体装置の概略構成を示す断面図である。

【図6】従来の高周波用半導体装置の概略構成を示す断面図である。

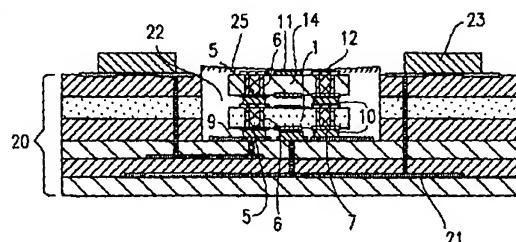
#### 【符号の説明】

- 1、14 半導体チップ
- 2、24 ワイヤー
- 3 回路基板
- 4 バンプ電極
- 5 ピアホール
- 6 ピアホール内に形成された金属層
- 7 半導体チップの裏面電極
- 9、13 回路基板上に設けられた金属配線
- 9a 回路基板の配線
- 11 回路集積部
- 12 半導体チップ表面に設けられた配線金属
- 20 セラミック多層基板
- 21 内層配線
- 21a 内層配線に達する穴
- 22 凹部
- 23 電子部品
- 25 封止樹脂

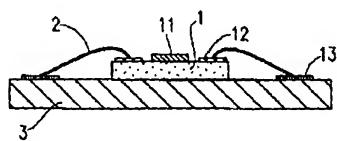
【図2】



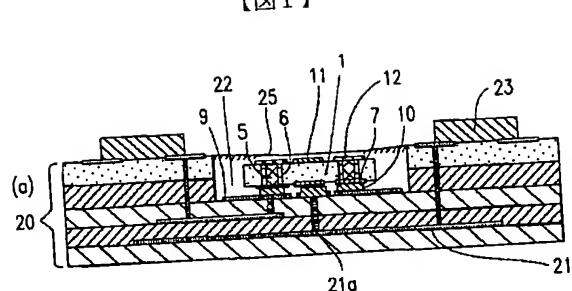
【図3】



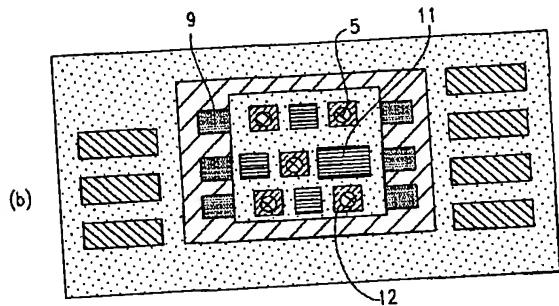
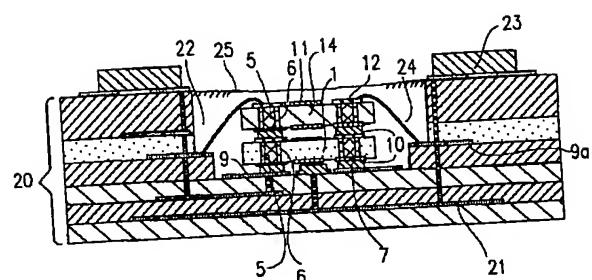
【図5】



【図1】



【図4】



【図6】

